

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-007717

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H01L 21/336
H01L 21/8234
H01L 27/088
H01L 29/41
H01L 29/78

(21)Application number : 2001-185545

(71)Applicant : SHARP CORP

(22)Date of filing : 19.06.2001

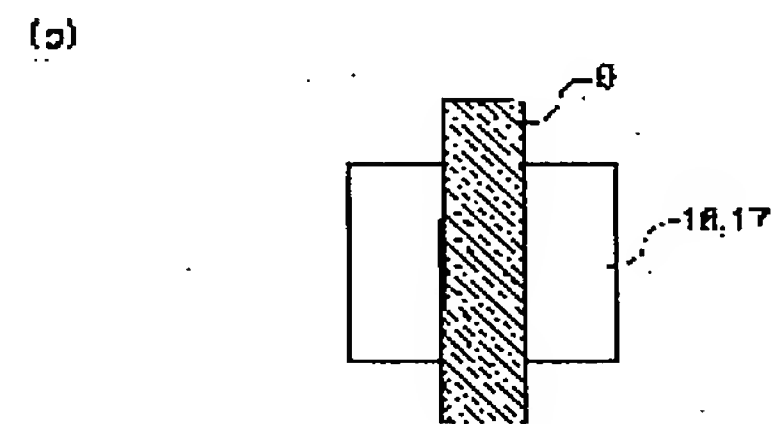
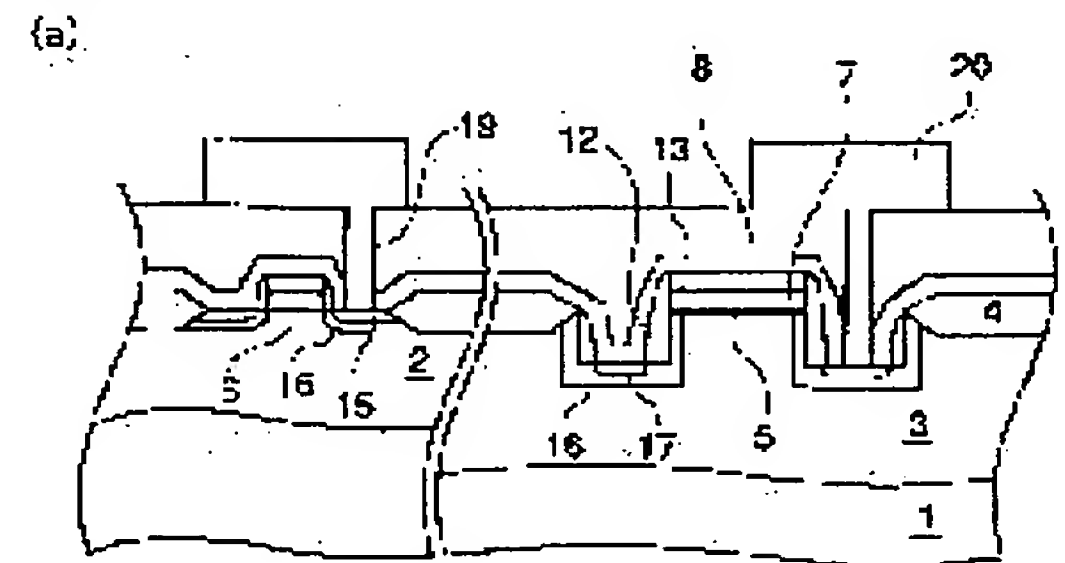
(72)Inventor : HIKITA TOMOYUKI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which realizes a high-performance, high-functional and miniaturized product by making fine a high withstanding voltage circuit operative at high voltages, and mounting such fine high withstanding voltage circuit mixed with low withstanding voltage circuits on the same chip, and realize a semiconductor device manufacturing method which realizes such semiconductor device by a simple way, without increasing the manufacturing cost.

SOLUTION: The semiconductor device comprises a gate electrode 9 formed via a first gate insulation film 5 on a semiconductor substrate 1, low concentration impurity regions 16 formed on the sides and bottoms of trenches 11 cut down into the substrate 1 on both sides of the gate electrode 9, sidewall spacers 12 formed on the sidewall of the gate electrode 9 and the sides of the trenches, and high concentration impurity regions 17 formed in self-alignment on the bottoms of the trenches against the sidewall spacers 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-7717

(P2003-7717A)

(43) 公開日 平成15年1月10日 (2003.1.10)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 21/336
21/8234
27/088
29/41
29/78

H 0 1 L 29/78
29/44
29/78
27/08

3 0 1 L 4 M 1 0 4
C 5 F 0 4 8
3 0 1 S 5 F 1 4 0
1 0 2 B

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願2001-185545 (P2001-185545)

(22) 出願日 平成13年6月19日 (2001.6.19)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 疋田 智之

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74) 代理人 100065248

弁理士 野河 信太郎

最終頁に続く

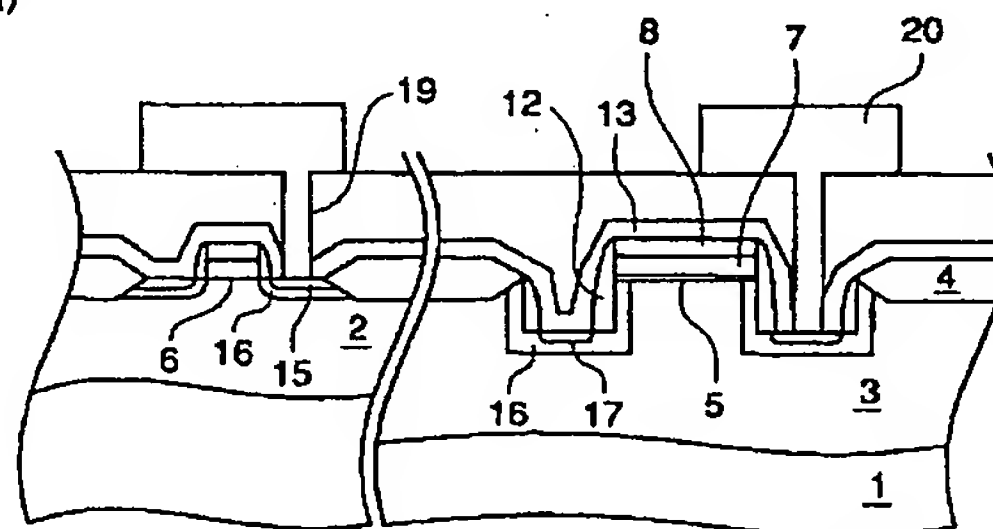
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

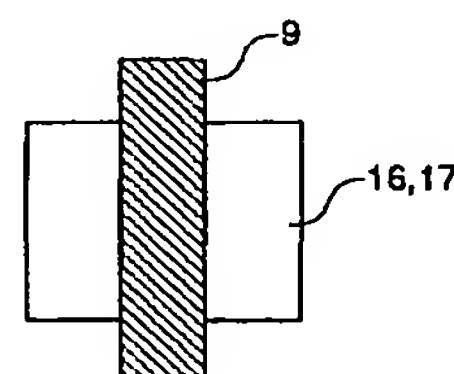
【課題】 高電圧動作の高耐圧回路の微細化を図るとともに、このような微細な高耐圧回路を低耐圧回路と同一チップ上に混載することにより、高機能化、高性能化、縮小化を実現することができる半導体装置及びこのような半導体装置を簡便な方法で、製造コストの増大を招くことなく実現することができる半導体装置の製造方法を実現することを目的とする。

【解決手段】 半導体基板1上に第1のゲート絶縁膜5を介して形成されたゲート電極9と、ゲート電極9の両側における半導体基板1が掘り下げられて形成された溝11の側面及び底面に形成された低濃度不純物領域16と、ゲート電極9の側壁と溝の側面とに形成されたサイドウォールスペーサ12と、溝の底面にサイドウォールスペーサ12に対して自己整合的に形成された高濃度不純物領域17とからなる半導体装置。

(a)



(b)



【特許請求の範囲】

【請求項1】 半導体基板上に第1のゲート絶縁膜を介して形成されたゲート電極と、ゲート電極の両側における半導体基板が掘り下げられて形成された溝の側面及び底面に形成された低濃度不純物領域と、ゲート電極の側壁と溝の側面とに形成されたサイドウォールスペースと、溝の底面にサイドウォールスペースに対して自己整合的に形成された高濃度不純物領域とからなることを特徴とする半導体装置。

【請求項2】 さらに、半導体基板上に、第1のゲート絶縁膜よりも薄膜の第2のゲート絶縁膜を介して形成されたゲート電極と、ゲート電極の側壁に形成されたサイドウォールスペースと、ゲート電極の両側の半導体基板表面に形成されたLDD構造のソース／ドレイン領域からなる半導体装置が形成されてなる請求項1に記載の半導体装置。

【請求項3】 (a) 半導体基板上にゲート絶縁膜を形成し、

(b) 該ゲート絶縁膜上に、導電膜及び絶縁膜を形成し、所望の形状にパターニングしてゲート電極を形成し、

(c) 該ゲート電極及び絶縁膜をマスクとして用いて、半導体基板を掘り下げて溝を形成し、

(d) 前記ゲート電極及び絶縁膜をマスクとして用いて傾斜イオン注入を行って、溝の側面及び底面に低濃度不純物領域を形成し、

(e) 得られた半導体基板上全面に絶縁膜を形成し、エッチバックすることにより、前記ゲート電極の側壁及び溝の側面にサイドウォールスペースを形成し、

(f) 得られた半導体基板上全面にイオン注入して、溝の底面に、サイドウォールスペースに対して自己整合的に高濃度不純物領域を形成することを特徴とする半導体装置の製造方法。

【請求項4】 第1のMOSトランジスタ回路と、第1のMOSトランジスタ回路におけるゲート絶縁膜よりも薄膜のゲート絶縁膜を有する第2のMOSトランジスタ回路とを同一半導体基板上に有する半導体装置の製造方法であって、

(a') 半導体基板上の第1及び第2のMOSトランジスタ回路形成領域に膜厚の異なるゲート絶縁膜をそれぞれ形成する工程と、

(b') 第1及び第2のMOSトランジスタ回路形成領域に、導電膜及び絶縁膜を形成し、所望の形状にパターニングしてゲート電極を形成する工程と、

(c') 第2のMOSトランジスタ回路形成領域をレジストで被覆し、第1MOSトランジスタ回路形成領域におけるゲート電極及び絶縁膜をマスクとして用いて、半導体基板を掘り下げて溝を形成する工程と、

(d') 前記ゲート電極及び絶縁膜をマスクとして用いて傾斜イオン注入を行って、前記第2MOSトランジ

スタ回路形成領域にLDD領域を、前記第1MOSトランジスタ回路形成領域における溝の側面及び底面に低濃度不純物層をそれぞれ形成し、

(e') 得られた半導体基板上全面に絶縁膜を形成し、エッチバックすることにより、前記第2MOSトランジスタ回路形成領域のゲート電極の側壁及び前記第1MOSトランジスタ回路形成領域における溝の側面及びゲート電極の側壁に、それぞれサイドウォールスペースを形成し、

10 (f') 得られた半導体基板上全面にイオン注入して、前記第2MOSトランジスタ回路形成領域に高濃度不純物領域を、前記第1MOSトランジスタ回路形成領域における溝の底面に、サイドウォールスペースに対して自己整合的に高濃度不純物領域を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関し、半導体基板表面に形成された溝内に低濃度不純物領域を電界緩和層として有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】近年、携帯用電子機器（電話、パソコン、ムービー等）の軽量化・小型化が進展する状況下、その中枢を担う電子部品（LSI）の高機能化、高性能化、縮小化は必須である。特に、液晶ディスプレイを搭載した電子機器では、その駆動用LSIに対し、高電圧動作（高駆動能力）が要求され、低電圧動作の微細回路と高電圧動作高耐圧回路を同一チップ上に混載する技術が強く望まれている。そこで、例えば、特開平8-102496号に示されているように、同一基板上に低耐圧MOSトランジスタと高耐圧のMOSトランジスタとを一連工程で製造する方法が提案されている。

【0003】この方法によれば、図4（a）に示したように、LOCOS素子分離膜31が形成された半導体基板30の素子領域に高耐圧MOSトランジスタ用の厚いゲート酸化膜32を形成する。次いで、低耐圧MOSトランジスタ領域LTのゲート酸化膜32を除去し、再度低耐圧MOSトランジスタ用の薄いゲート酸化膜33を形成する（図4（b））。次いで、ゲート電極34を形成し（図4（c））、高耐圧MOSトランジスタ領域HTに、ドリフト領域に開口を有するドリフト領域形成用パターン35を形成し、そのパターン35をマスクとして用いて、イオン注入により低濃度ドレイン領域36を形成する（図4（d））。

【0004】続いて、高耐圧MOSトランジスタ領域の低濃度ドレイン領域36上に、ゲート電極34とLOCOS素子分離膜31とからそれぞれ所定距離iを離れた領域上に開口を有するパターン37を形成し、このパタ

ーン37と、ゲート電極34とをマスクとして用いてイオン注入し、低耐圧MOSトランジスタのソース／ドレイン領域38と高耐圧MOSトランジスタのソース／ドレイン領域39とを形成する(図5(e))。その後、図5(f)に示すように、層間絶縁膜40、コンタクトホール41、メタル電極42等を形成することにより、同一基板上に低耐圧MOSトランジスタと高耐圧MOSトランジスタとが形成される。

【0005】しかし、上記の方法により、同一基板上に低耐圧MOSトランジスタと高耐圧MOSトランジスタとを作製する場合、図5(f)に示したように、高耐圧MOSトランジスタは、ゲート長が大きいことと、電界緩和領域(ドリフト領域)として低濃度ドレイン領域36を付加することが必要であり、さらに、図6に示すように、低濃度ドレイン領域36とゲート電極34とがオーバーラップするアライメントマージン α と、低濃度ドレイン領域(ドリフト領域)36の幅 β とを確保することが必要であるため、そのサイズが低耐圧MOSトランジスタに比べ非常に大きくなるのみならず、ソース／ドレイン領域が非対象パターンであるため、レイアウト時にソース／ドレイン方向を考慮した設計が必要となり、レイアウトの自由度が損なわれる。また、低耐圧MOSトランジスタ形成工程に高耐圧MOSトランジスタを付加するために、ゲート酸化膜の作り分け用フォトリソ、エッチング工程と低濃度ドレイン領域形成用フォトリソ、イオン注入工程が増加し、製造コストが増大する。

【0006】さらに、低耐圧MOSトランジスタをLDD(Lightly Doped Drain)構造とする場合、高耐圧MOSトランジスタ形成領域の低濃度ドレイン領域を保護するためのフォトリソ工程が必要になる。本発明は上記課題に鑑みなされたものであり、高電圧動作の高耐圧回路の微細化を図るとともに、このような微細な高耐圧回路を低耐圧回路と同一チップ上に混載することにより、高機能化、高性能化、縮小化を実現することができる半導体装置及びこのような半導体装置を簡便な方法で、製造コストの増大を招くことなく実現することができる半導体装置の製造方法を実現することを目的とする。

【0007】

【課題を解決するための手段】本発明によれば、半導体基板上に第1のゲート絶縁膜を介して形成されたゲート電極と、ゲート電極の両側における半導体基板が掘り下げられて形成された溝の側面及び底面に形成された低濃度不純物領域と、ゲート電極の側壁と溝の側面とに形成されたサイドウォールスペーサと、溝の底面にサイドウォールスペーサに対して自己整合的に形成された高濃度不純物領域とからなる半導体装置が提供される。

【0008】また、本発明によれば、(a)半導体基板上にゲート絶縁膜を形成し、(b)該ゲート絶縁膜上に、導電膜及び絶縁膜を形成し、所望の形状にパターンニングしてゲート電極を形成し、(c)該ゲート電極及び

絶縁膜をマスクとして用いて、半導体基板を掘り下げて溝を形成し、(d)前記ゲート電極及び絶縁膜をマスクとして用いて傾斜イオン注入を行って、溝の側面及び底面に低濃度不純物領域を形成し、(e)得られた半導体基板上全面に絶縁膜を形成し、エッチバックすることにより、前記ゲート電極の側壁及び溝の側面にサイドウォールスペーサを形成し、(f)得られた半導体基板上全面にイオン注入して、溝の底面に、サイドウォールスペーサに対して自己整合的に高濃度不純物領域を形成する半導体装置の製造方法が提供される。

【0009】さらに、本発明によれば、第1のMOSトランジスタ回路と、第1のMOSトランジスタ回路におけるゲート絶縁膜よりも薄膜のゲート絶縁膜を有する第2のMOSトランジスタ回路とを同一半導体基板上に有する半導体装置の製造方法であって、(a')半導体基板上の第1及び第2のMOSトランジスタ回路形成領域に膜厚の異なるゲート絶縁膜をそれぞれ形成する工程と、(b')第1及び第2のMOSトランジスタ回路形成領域に、導電膜及び絶縁膜を形成し、所望の形状にパターンニングしてゲート電極を形成する工程と、(c')第2MOSトランジスタ回路形成領域をレジストで被覆し、第1MOSトランジスタ回路形成領域におけるゲート電極及び絶縁膜をマスクとして用いて、半導体基板を掘り下げて溝を形成する工程と、(d')前記ゲート電極及び絶縁膜をマスクとして用いて傾斜イオン注入を行って、前記第2MOSトランジスタ回路形成領域にLDD領域を、前記第1MOSトランジスタ回路形成領域における溝の側面及び底面に低濃度不純物層をそれぞれ形成し、(e')得られた半導体基板上全面に絶縁膜を形成し、エッチバックすることにより、前記第2MOSトランジスタ回路形成領域のゲート電極の側壁及び前記第1MOSトランジスタ回路形成領域における溝の側面及びゲート電極の側壁に、それぞれサイドウォールスペーサを形成し、(f')得られた半導体基板上全面にイオン注入して、前記第2MOSトランジスタ回路形成領域に高濃度不純物領域を、前記第1MOSトランジスタ回路形成領域における溝の底面に、サイドウォールスペーサに対して自己整合的に高濃度不純物領域を形成する半導体装置の製造方法が提供される。

【0010】

【発明の実施の形態】本発明の半導体装置は、主として、比較的厚膜のゲート絶縁膜を有する第1のMOSトランジスタ、いわゆる高電圧動作の高耐圧MOSトランジスタ回路が形成されて構成され、さらに、同一半導体基板上に、第1のMOSトランジスタよりもゲート絶縁膜の膜厚が薄い第2のMOSモストランジスタ、いわゆる低電圧動作の低耐圧MOSトランジスタ回路が形成されていてもよい。ここで、低耐圧駆動回路とは、信号処理回路、メモリ回路等の比較的動作電圧の低い回路であり、高耐圧駆動回路とは、低耐圧駆動回路よりも動

作電圧が高い回路を意味する。また、本発明の半導体装置は、不純物の導電型を変更するのみで、NMOS、PMOS又はCMOSのいずれのMOSトランジスタでも実質的に同様に実現することができる。第1のMOSトランジスタは、主として、半導体基板上に、ゲート絶縁膜、ゲート電極、サイドウォールスペーサ、溝内に形成される低濃度不純物領域及び高濃度不純物領域から構成される。

【0011】本発明において使用できる半導体基板としては、通常、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、GaAs、InGaAs、ZnSe等の化合物半導体からなる基板、SOI基板又は多層SOI基板等の種々の基板を用いることができる。なかでもシリコン基板が好ましい。この半導体基板上には、LOCOS膜、トレンチ酸化膜、STI膜等の素子分離領域、トランジスタ、キャパシタ、抵抗等の素子、これらによる回路、層間絶縁膜、配線層等が組み合わされて、シングル又はマルチレイヤー構造で形成されているもよい。

【0012】半導体基板の表面には、後述するゲート電極の両側に、溝が形成されている。この溝は、ゲート電極に対して自己整合的に形成されており、その深さは、電界緩和が十分行うことができる程度のドリフト領域幅を確保するために、適宜調整することができる。例えば、0.5~100 μ m程度が挙げられる。また、溝の幅は、トランジスタのソース/ドレイン領域を確保することができる程度に、適宜調整することができる。

【0013】ゲート絶縁膜としては、例えば、シリコン酸化膜（熱酸化膜、低温酸化膜：LTO膜等、高温酸化膜：HTO膜）、シリコン窒化膜、Ta₂O₅等の高誘電体膜等の単層膜又は積層膜が挙げられる。なかでも、シリコン酸化膜が好ましい。ゲート絶縁膜は、熱酸化法、常圧CVD法、減圧CVD法、プラズマCVD法、スパッタ法、陽極酸化法等種々の方法の中から選択して形成することができる。膜厚は、得ようとする半導体装置の特性、動作電圧等により適宜設定することができ、例えば、5~50nm程度が挙げられる。

【0014】ゲート電極としては、導電膜を使用することができる。例えば、ポリシリコン、モノシリコン、アモルファスシリコン等のシリコン；白金、アルミニウム、銅、ニッケル等の金属；タンタル、チタン、コバルト、モリブデン、タングステン等の高融点金属；これら高融点金属とのシリサイド等の単層膜又は積層膜が挙げられる。なかでも、ポリシリコンの単層膜、高融点金属とのシリサイド、ポリサイドからなる膜が好ましい。ポリシリコンを使用する場合には、ポリシリコン膜を形成する際又は形成した後、N型又はP型の不純物をドーピングして所定の抵抗値に設定することが好ましい。ゲート電極材料は、スパッタ法、CVD法、真空蒸着法、

EB法等の種々の方法の中から選択して、膜厚50~300nm程度で形成することができる。なお、ゲート電極上には、ゲート絶縁膜として例示したような絶縁膜が形成されていることが好ましい。

【0015】ゲート電極の側壁から溝の側面の全面にわたって、サイドウォールスペーサが形成されている。サイドウォールスペーサは、当該分野で公知の方法により、所望の幅で形成することができる。例えば、サイドウォールスペーサの幅は、溝の底面上において、100~500nm程度の幅を有するように形成することが適当である。

【0016】溝の側面及び底面には、低濃度不純物領域が形成されている。この低濃度不純物領域は、電界緩和の目的で、ドリフト領域として形成されるものであり、その不純物濃度、この領域の深さ及び幅は、電界緩和を達成することができる程度に適宜調整することができる。この領域は、溝内の側面及び底面全面に渡って形成されていることが好ましい。また、溝の底面であって、サイドウォールスペーサで被覆されていない領域に、高濃度不純物領域が形成されている。この高濃度不純物領域は、MOSトランジスタのソース/ドレイン領域として機能する領域であり、その不純物濃度は、この領域の深さ及び幅は、この目的と達成するために適宜調整することができる。

【0017】本発明の半導体装置においては、同一半導体基板上に、さらに、第2のMOSトランジスタが形成されていてもよい。このMOSトランジスタは、第1のMOSトランジスタよりも薄い5~20nm程度のゲート絶縁膜を備えるものであり、通常、当該分野において使用されるLDD領域を有する一般的なものの全てを使用することができる。

【0018】本発明の半導体装置の製造方法、つまり、第1のMOSトランジスタ回路（高耐圧MOSトランジスタ）と、第1のMOSトランジスタ回路におけるゲート絶縁膜よりも薄膜のゲート絶縁膜を有する第2のMOSトランジスタ回路（低耐圧MOSトランジスタ）とを同一半導体基板上に有する場合には、まず、工程

(a')において、半導体基板上の第1及び第2のMOSトランジスタ回路形成領域に膜厚の異なるゲート絶縁膜をそれぞれ形成する。膜厚の異なるゲート絶縁膜は、別々の工程で、個々に形成してもよいし、一部の工程を同時に行ってもよい。例えば、半導体基板上全面に薄膜のゲート絶縁膜を形成し、第1のMOSトランジスタ回路の形成領域にのみさらにゲート絶縁膜を重ねて形成し、この領域にのみ厚膜のゲート絶縁膜を形成してもよいし、あるいは、半導体基板上全面に、厚膜のゲート絶縁膜を形成し、第2のMOSトランジスタ回路の形成領域上の厚膜のゲート絶縁膜のみを除去し、この領域にのみ再度薄膜のゲート絶縁膜を形成してもよい。

【0019】工程(b')において、第1及び第2のM

OSトランジスタ回路形成領域に、導電膜及び絶縁膜を形成し、所望の形状にパターンニングしてゲート電極を形成する。ここでのゲート電極の形成は、当該分野で公知の方法を用いて、両領域に同時に形成することが好ましい。工程(c')において、第2MOSトランジスタ回路形成領域をレジストで被覆し、第1MOSトランジスタ回路形成領域におけるゲート電極及び絶縁膜をマスクとして用いて、半導体基板を掘り下げて溝を形成する。レジストの形成方法は、フォトリソグラフィ及びエッチング技術を用いて容易に形成することができる。また、半導体基板の掘り下げは、例えば、酸又はアルカリ溶液を用いたウェットエッチング、RIE等の異方性エッチングによるドライエッチング等の種々の方法で行うことができる。

【0020】工程(d')において、ゲート電極及び絶縁膜をマスクとして用いて傾斜イオン注入を行う。この場合の傾斜角度は、基板表面に対する法線方向から30°～45°程度傾斜させて、回転注入、ステップ注入等によって行うことができる。加速エネルギーやドーズ等は、イオン種、得ようとするMOSトランジスタの性能等により適宜調整することができる。これにより、第2MOSトランジスタ回路形成領域においてはLDD領域を、第1MOSトランジスタ回路形成領域においては、溝の側面及び底面に低濃度不純物層をそれぞれ形成することができる。なお、イオン注入の後には、酸素雰囲気下、大気雰囲気下、窒素雰囲気下等の雰囲気下で、800～900℃程度の温度範囲で、10～30分間程度熱処理することが好ましい。この熱処理は、さらに後工程で、他の熱処理と兼用して行ってもよい。

【0021】また、この工程において、第1又は第2MOSトランジスタのいずれか一方をレジスト等により被覆し、他の一方に、異なるイオン種、加速エネルギー、ドーズ、傾斜角度等を用いた傾斜イオン注入をさらに行うことにより、第1及び第2のトランジスタの特性(耐圧、オン抵抗、ホットキャリア耐性)等を個別にコントロールすることができる。

【0022】工程(e')において、半導体基板上全面に絶縁膜を形成し、エッチバックすることにより、第2MOSトランジスタ回路形成領域のゲート電極の側壁に、さらに第1MOSトランジスタ回路形成領域における溝の側面からゲート電極の側壁にわたって、それぞれサイドウォールスペーサを形成する。サイドウォールスペーサの形成方法は、当該分野で公知の方法で形成することができる。工程(f')において、得られた半導体基板上全面にイオン注入する。加速エネルギーやドーズ等は、イオン種、得ようとするMOSトランジスタの性能等により適宜調整することができる。これにより、第2MOSトランジスタ回路形成領域に高濃度不純物領域を、第1MOSトランジスタ回路形成領域における溝の底面に、サイドウォールスペーサに対して自己整合的に

高濃度不純物領域を形成することができる。

【0023】なお、本発明において、第1のMOSトランジスタ(高耐圧MOSトランジスタ)のみを形成する場合には、上記(a')～(f')の工程のうち、第1のMOSトランジスタを形成するための工程のみを行ってもよい。また、その場合には、工程(d)として、ゲート電極及び絶縁膜をマスクとして用いて傾斜イオン注入に加えて、異なるイオン種、加速エネルギー、ドーズ、傾斜角度等を用いた傾斜イオン注入を行うことにより、トランジスタの特性(耐圧、オン抵抗、ホットキャリア耐性)等をコントロールすることができる。

【0024】本発明の半導体装置の製造方法においては、上記工程のほか、上記工程の任意のステップの前、中、後において、当該分野で公知の製造工程、例えば、ウェルの形成、閾値調整等のためのイオン注入、熱処理、層間絶縁膜の形成、コンタクトホール形成、配線層の形成等の種々の工程を行うことができる。本発明の半導体装置及びその製造方法を図面に基いて詳細に説明する。半導体装置は、図1(a)及び(b)に示したように、同一シリコン基板1上に、第1のMOSトランジスタ(高耐圧MOSトランジスタ)及び第2のMOSトランジスタ(低耐圧MOSトランジスタ)が形成されて構成される。

【0025】第1のMOSトランジスタは、ゲート電極9の両側の溝内の側面及び底面に形成された低不純物濃度の電界緩和領域(ドリフト領域)16と、溝内の底面であって、電界緩和領域16内に、高不純物濃度のソース/ドレイン領域17とを有する。なお、ソース/ドレイン領域は、ゲート電極9から溝側面にわたって形成されたサイドウォールスペーサ12に自己整合的に形成されている。

【0026】第2のMOSトランジスタは、第1のMOSトランジスタよりもゲート絶縁膜の膜厚が薄い以外は、LDD領域14を有する一般的な構成のトランジスタである。このような構成により、ドリフト幅としては実質的に従来の大型のトランジスタのドリフト幅と同程度を確保しながら、具体的には、図6に示したアライメントマージン α とドリフト領域幅 β が不要となるため、図1(b)に示したように、平面的には、MOSトランジスタの占有面積が増大せず、高耐圧トランジスタにおいても、さらなる微細化を実現することができる。このような半導体装置は、以下の方法により形成することができる。

【0027】まず、図2(a)に示したように、不純物濃度が 1×10^{17} ions/cm³程度のP型シリコン基板1上に低耐圧NMOSトランジスタと高耐圧NMOSトランジスタ用とのウェル2、3を形成し、例えば、LOCOS法により、膜厚300～600nm程度のフィールド酸化膜4を形成してトランジスタの活性領域を形成する。次に、シリコン基板1上全面に、膜厚20nm程度

の熱酸化膜を形成し、フィールド酸化膜4以外の領域（活性領域）に、ボロンイオンを、20keV程度の加速エネルギー、 1×10^{12} ions/cm²程度のドーズで、トランジスタの閾値調整用のイオン注入を行う。

【0028】次いで、イオン注入に用いた熱酸化膜を除去し、図2（b）に示したように、シリコン基板1上全面に高耐圧MOSトランジスタ用のゲート酸化膜5を、膜厚30～100nm程度で形成する。その後、高耐圧MOSトランジスタ領域を覆うレジストマスクを形成し、エッチングにより低耐圧MOSトランジスタ領域のゲート酸化膜を除去し、再度、シリコン基板1上全面に低耐圧MOSトランジスタ用のゲート酸化膜6を、膜厚5～20nm程度で形成する。

【0029】続いて、図2（c）に示したように、シリコン基板1上全面にN⁺ドープ（例えば、 1×10^{20} ～ 1×10^{21} ions/cm³程度）のポリシリコン膜7を、膜厚100～300nm程度で形成し、その上に、膜厚50～100nm程度のCVD酸化膜8を形成し、所定の形状にパターニングし、ゲート電極9を形成する。次に、図2（d）に示したように、低耐圧MOSトランジスタ領域を覆うマスクパターン10を形成し、高耐圧MOSトランジスタのゲート電極9とフィールド酸化膜4以外の領域のゲート酸化膜5を、例えば、5%HFのエッチャントによるウェットエッチ（2分間）により除去し、ゲート電極9上のCVD酸化膜8とフィールド酸化膜4とをマスクとして、例えば、HBrとCl₂とを用い400Wのパワーでの反応性イオンエッチングにより、シリコン基板1を、0.5～10μm程度エッチングし、溝11を形成する。

【0030】マスクパターン10を除去した後、図3（e）に示したように、低耐圧MOSトランジスタのLDD領域と高耐圧MOSトランジスタの電界緩和領域（ドリフト領域）とを形成するために、シリコン基板1上全面に、例えば、リンを60keVの加速エネルギー、 5×10^{12} ～ 5×10^{13} ions/cm²程度のドーズで、30～45°の角度で、斜め回転イオン注入（例えば、90°を4ステップ）する。続いて、図3（f）に示したように、シリコン基板1上全面に、膜厚100～300nm程度のCVD酸化膜を形成し、CF₄ガスを用い、1.8Torrの圧力、300Wのパワーでの反応性イオンエッチングによりエッチバックして、低耐圧MOSトランジスタのゲート電極9側壁及び高耐圧MOSトランジスタのゲート電極9と溝11との側壁に、サイドウォールスペーサ12を形成する。

【0031】次に、図3（g）に示したように、得られたシリコン基板1上全面に、低耐圧MOSトランジスタのソース/ドレイン領域と高耐圧MOSトランジスタのソース/ドレイン領域とを形成するために、例えば、ヒ素を80keVの加速エネルギー、 5×10^{15} ～ 2×10^{16} ions/cm²程度のドーズでイオン注入する。続いて、

シリコン基板1上全面に、膜厚100～200nm程度のノンドープのCVD酸化膜13を形成した後、その上に膜厚400～1000nm程度のBPSSG膜18を形成し、例えば、900℃で20分間程度の熱処理を行い、BPSSG膜18の平坦化を行うとともに、シリコン基板1内に注入した不純物を活性化して、低耐圧MOSトランジスタのLDD領域14及び高濃度ソース/ドレイン領域15と、高耐圧MOSトランジスタの電界緩和領域16とソース/ドレイン領域17とを形成する。その後、図1（a）に示したように、コンタクトホール19、アルミニウムからなるメタル電極20を形成し、低耐圧NMOSトランジスタと高耐圧NMOSトランジスタとの同一基板上への形成を完了させる。

【0032】

【発明の効果】本発明によれば、高耐圧MOSトランジスタにおける電界緩和領域が、半導体基板の垂直方向に形成されているため、ドリフト幅を十分に確保して、十分な電界緩和を確実に行うことができ、しかも、平面的には占有面積の増大を防止することができ、微細な半導体装置を実現することが可能となる。しかも、ソース/ドレイン構造が対称パターンとなるため、トランジスタのレイアウト等の設計の自由度を確保しながら、レイアウト面積の縮小を図ることが可能となる。また、本発明の半導体装置の製造方法によれば、特別な製造工程を追加することなく、上記のような微細な半導体装置を製造することが可能となるため、製造コストの増大防止、さらには製造コストの削減を実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の実施の形態を示す要部の概略断面図及び平面図である。

【図2】本発明の半導体装置の製造方法の実施の形態を示す要部の概略断面工程図である。

【図3】本発明の半導体装置の製造方法の実施の形態を示す要部の概略断面工程図である。

【図4】従来の半導体装置の製造方法を示す要部の概略断面工程図である。

【図5】従来の半導体装置の製造方法を示す要部の概略断面工程図である。

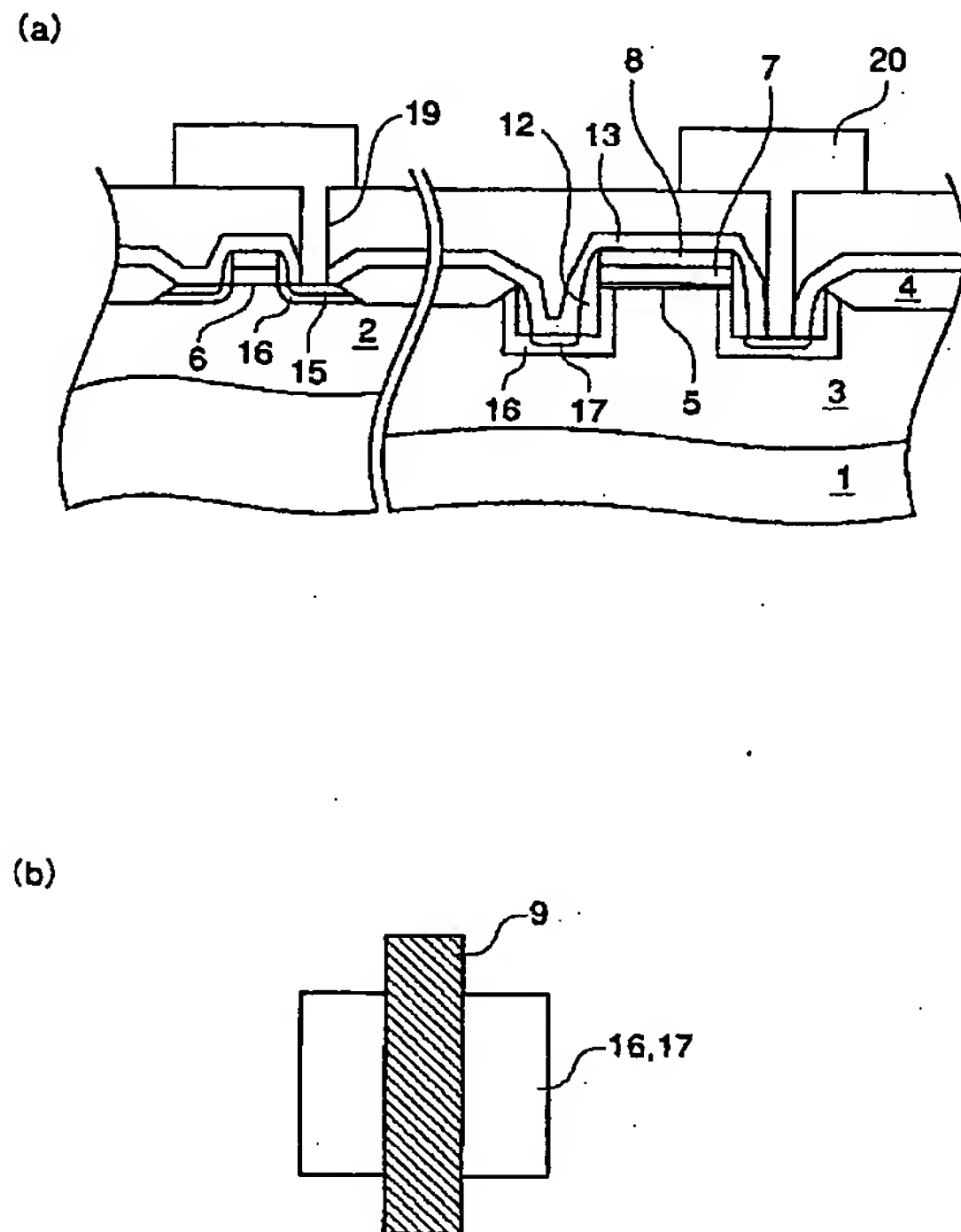
【図6】従来の半導体装置の要部の概略平面図である。

【符号の説明】

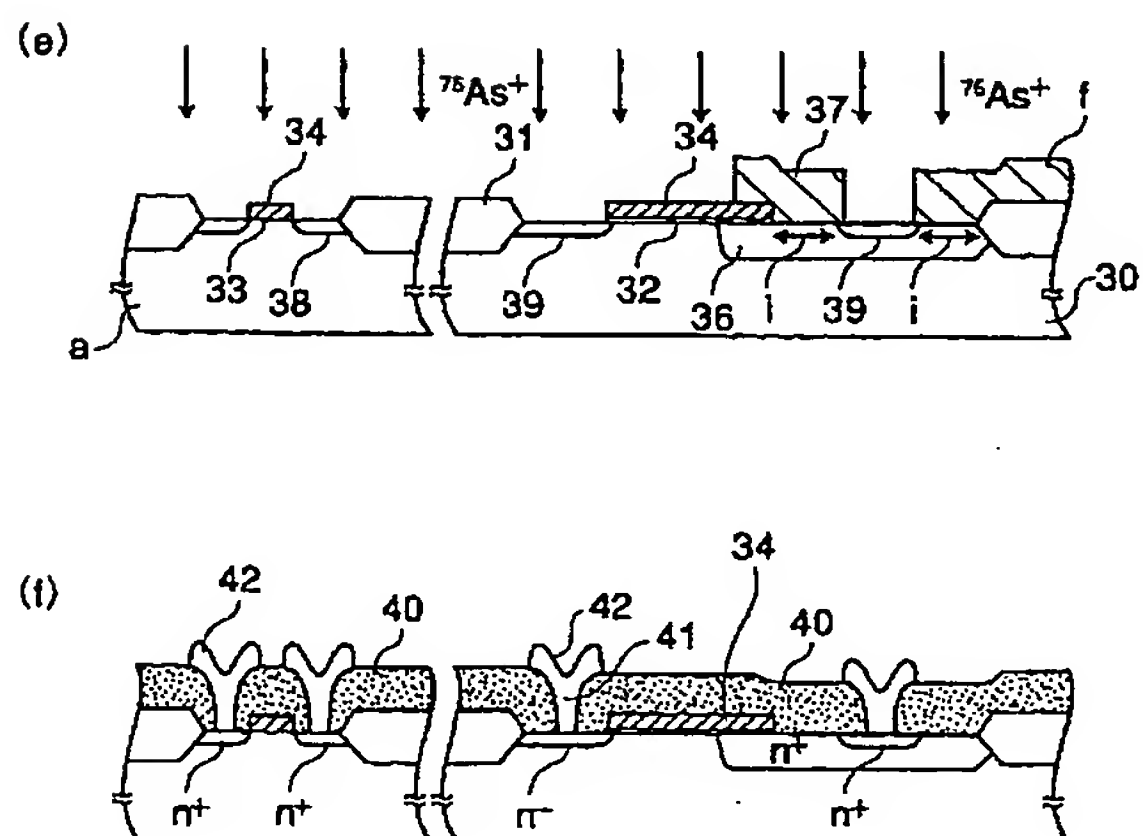
- 1 シリコン基板（半導体基板）
- 2、3 ウェル
- 4、フィールド酸化膜
- 5 高耐圧MOSトランジスタ用のゲート酸化膜
- 6 低耐圧MOSトランジスタ用のゲート酸化膜
- 7 ポリシリコン膜
- 8 CVD酸化膜
- 9 ゲート電極
- 10 マスクパターン
- 11 溝

- 11
 12 サイドウォールスペース
 13 CVD酸化膜
 14 低耐圧MOSトランジスタのLDD領域
 15 低耐圧MOSトランジスタの高濃度ソース/ドレイン領域
 16 高耐圧MOSトランジスタの電界緩和領域 *

【図1】



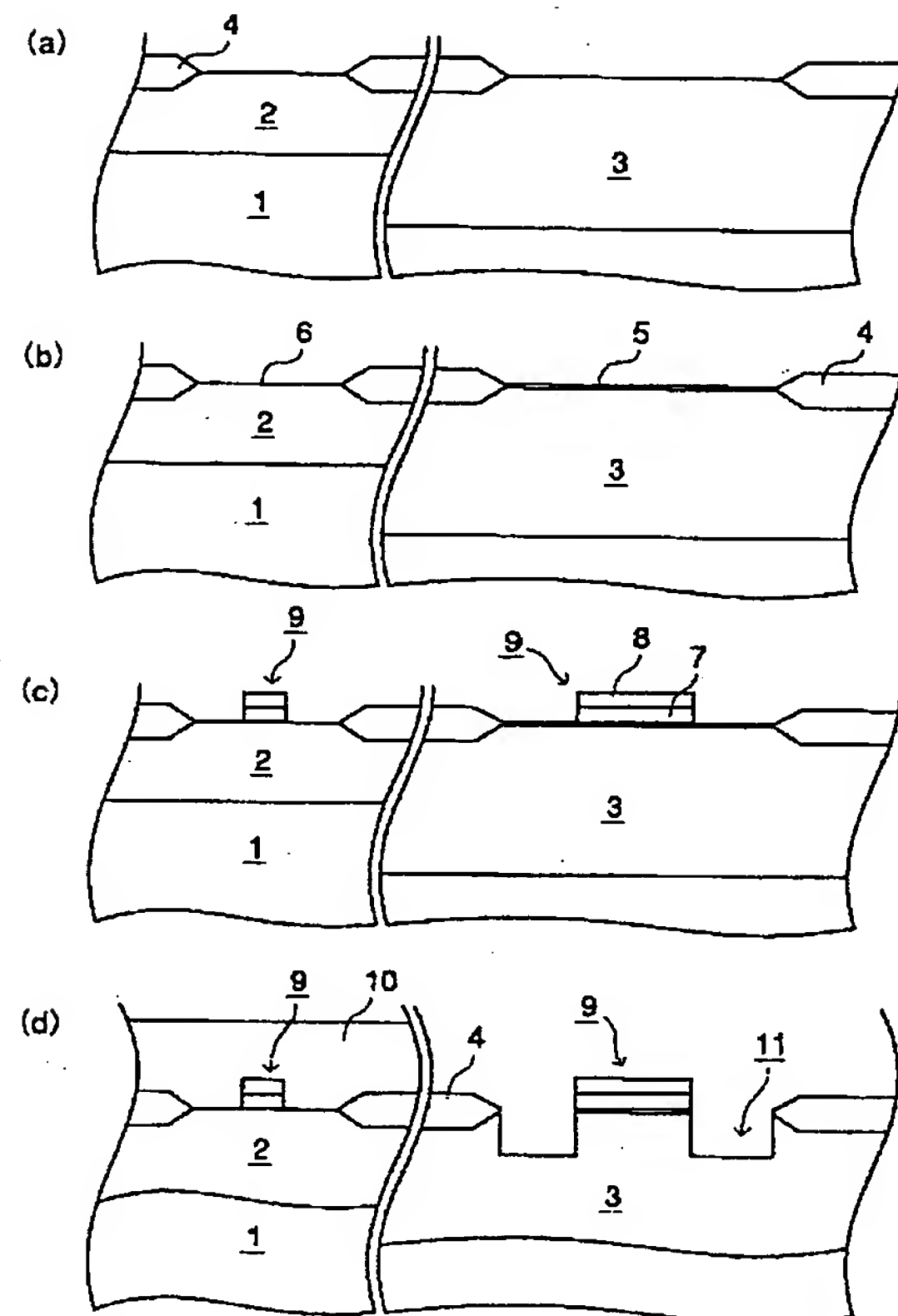
【図5】



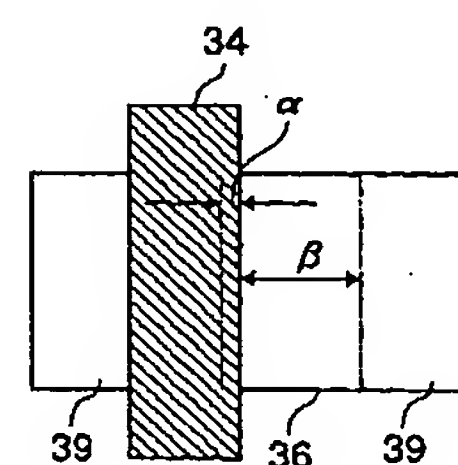
12

- * 17 高耐圧MOSトランジスタのソース/ドレイン領域
 18 BPSG膜
 19 コンタクトホール
 20 メタル電極

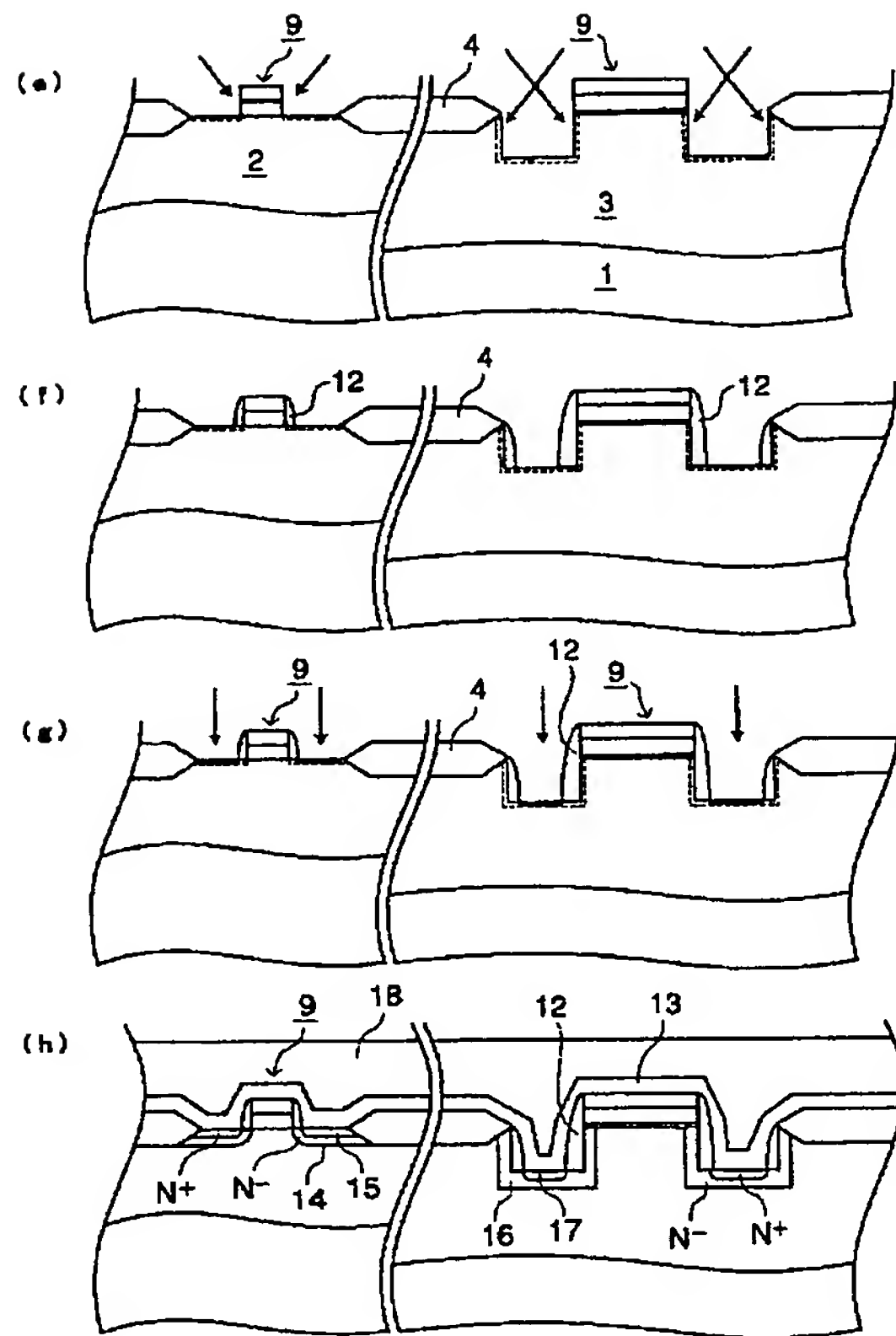
【図2】



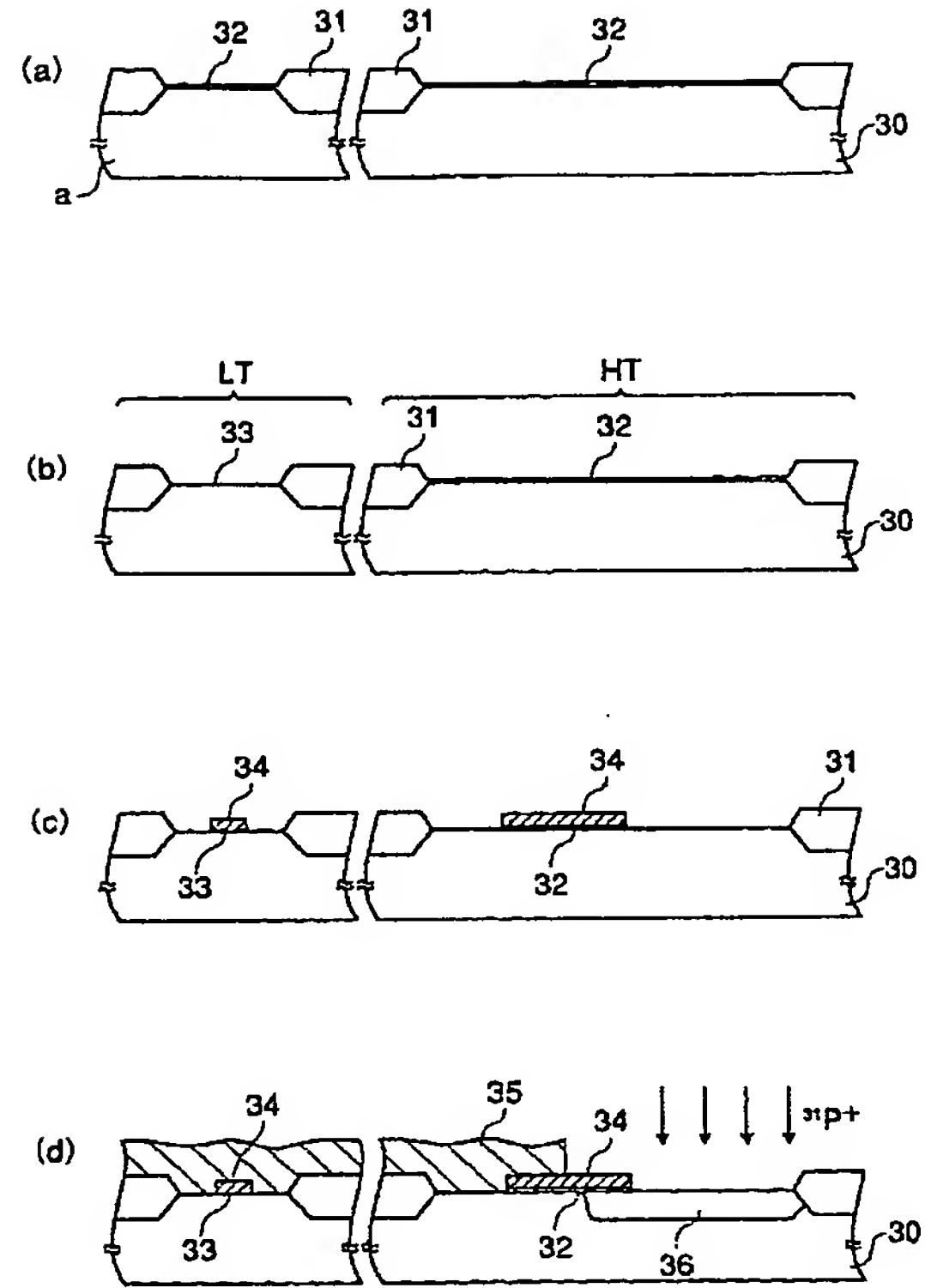
【図6】



【図3】



【図4】



フロントページの続き

F ターム(参考) 4M104 AA01 AA02 AA05 AA06 AA09
 BB01 BB02 BB04 BB05 BB06
 BB14 BB16 BB17 BB18 BB40
 CC01 CC05 DD04 DD34 DD37
 DD43 FF14 FF27 GG09 GG10
 GG14 HH20
 5F048 AA05 AC01 AC03 AC10 BA01
 BA14 BA16 BB05 BB08 BB09
 BB11 BB12 BB13 BB16 BC01
 BC06 BG12 DA23
 5F140 AA25 AA39 AB01 BA01 BA03
 BA07 BC06 BD07 BD12 BE07
 BF01 BF04 BG08 BG12 BG20
 BG39 BG52 BG53 BH05 BH07
 BH15 BH17 BJ01 BJ05 BJ23
 BJ27 BK09 BK13 BK14 BK21
 CB01 CB08 CC01 CC03 CC07
 CC12 CC20 CE05 CE20 CF00